

開発ニュース№※3015Aとさせていただきます。



LC3664A,AS,AM
LC3664AL,ASL,AML

非同期型シリコンゲート
CMOS LSI
コントロール端子: \overline{OE} , \overline{CE} , CE2
64K(8192ワード×8ビット) SRAM

摘要

LC3664Aシリーズは8192ワード×8ビット構成の非同期型シリコンゲートCMOSスタティックRAMである。周辺回路にCMOSを使用して消費電流を下げ、メモリセルに2層Poly-Si技術を使用してチップの縮小を図っている。

コントロール信号入力に高速メモリアクセス用の \overline{OE} とパワーダウンおよびデバイス選択用の二つのチップイネーブル $\overline{CE1}$, $\overline{CE2}$ を有している。このため、高速、ローパワー、バッテリーバックアップを必要とするシステムに最適であり、メモリ容量の拡張も容易である。

特長

・アクセスタイム

85ns (max) : LC3664A-85/AL-85/AS-85/ASL-85/AM-85/AML-85

100ns (max) : LC3664A-10/AL-10/AS-10/ASL-10/AM-10/AML-10

120ns (max) : LC3664A-12/AL-12/AS-12/ASL-12/AM-12/AML-12

• 低消費電流

スタンバイ時

100 μ A (max) : LC3664AI-85/10/12, LC3664ASL-85/10/12, LC3664AML-85/10/12

1 mA (max) : LC3664A-85/10/12, LC3664AS-85/10/12, LC3664AM-85/10/12

動作時

15mA (max) (f=1 MHz時)

- ・ 5V単一電源：5V±10%
- ・ データ保持電源電圧：2.0～5.5V
- ・ クロック不要（完全スタティク回路）
- ・ 全入出力レベルTTLコンパチブル
- ・ 入出力共通ピン、出力3ステート
- ・ パッケージ

DIP28ピンプラスチックパッケージ(600mil)

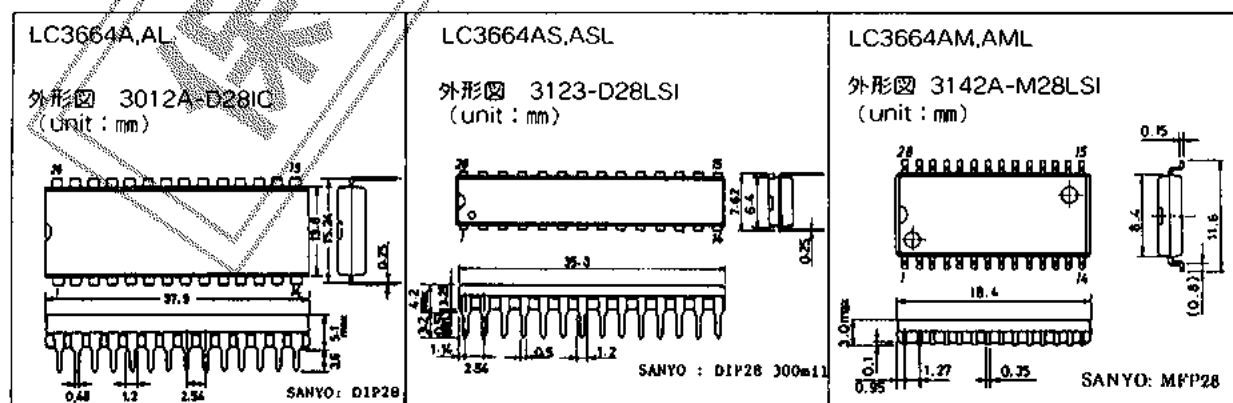
: LC3664A. AL

DIP28ピレスリムプラスチックパッケージ(300mil)

: LC3664AS. ASL

SOP28ピンブラスチックパッケージ(450mil)

: LC3664AM, AML



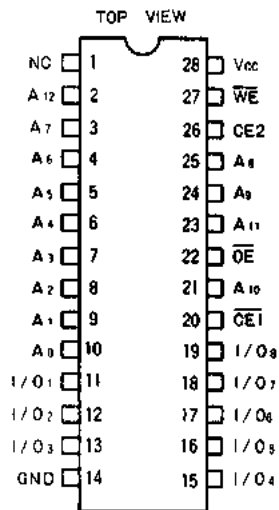
※これらの仕様は、改良などのため変更することがあります。

〒370-05 群馬県大泉町坂田180

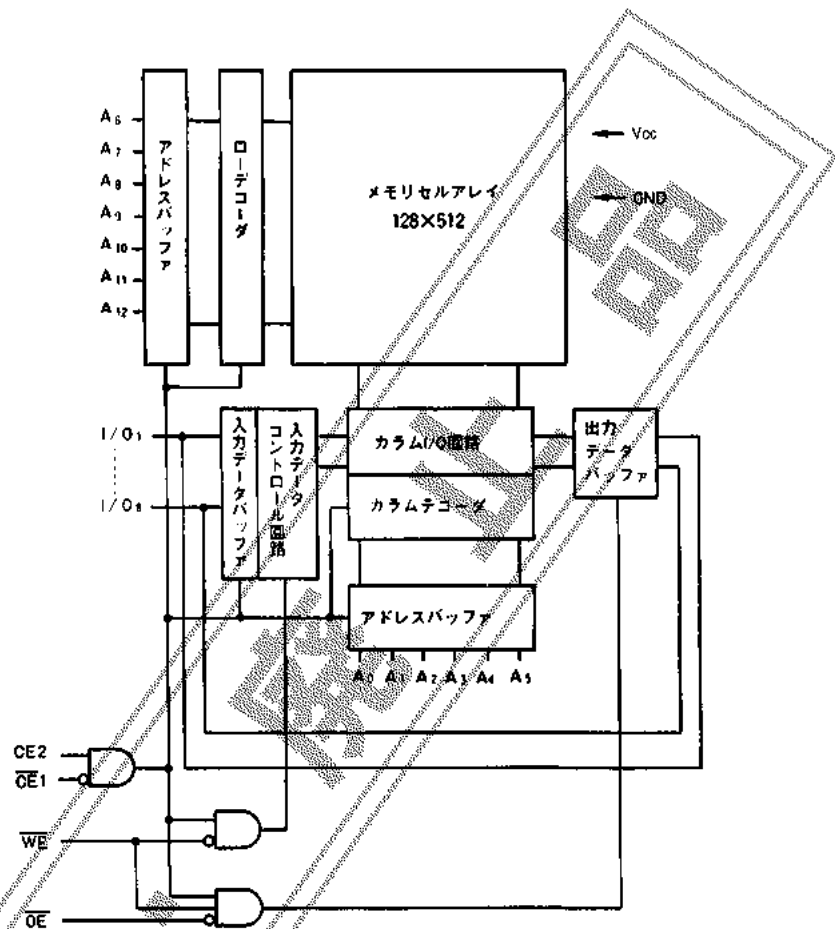
三洋電機株式会社 半導体事業本部

7151JNKI◎篠崎 8-6855, 7220, 7617~22/2090JNKI一部変/N169JNKI◎船橋 Na3015-1/7

■ピン配置



■ブロック図



A₀~A₁₂ : アドレス入力
 WE : リードライト制御入力
 OE : アウトプットイネーブル入力
 CE1, CE2 : チップイネーブル入力
 I/O₁~I/O₈ : データ入出力
 Vcc, GND : 電源端子

■機能表

モード	CE1	CE2	OE	WE	I/O	電源電流
リードサイクル	L	H	L	H	データ出力	ICCA
ライトサイクル	L	H	X	L	データ入力	ICCA
出力ディスエーブル	L	H	H	H	高インピーダンス	ICCA
非選択	H	X	X	X	高インピーダンス	ICCS
	X	L	X	X	高インピーダンス	ICCS

X : H or L

■絶対最大定格

項目	記号	条 件	定 格 値	unit
最大電源電圧	VCC max		+7.0	V
入力端子電圧	V _{IN}		-0.5*~VCC+0.5	V
I/O端子電圧	V _{I/O}		-0.5*~VCC+0.5	V
許容消費電力	Pd max	LC3664A/AL Ta=+70℃	1.0	W
		LC3664AS/ASL Ta=+70℃	0.7	W
		LC3664AM/AML Ta=+70℃	0.7	W
動作周囲温度	T _{opg}		0~+70	℃
保存周囲温度	T _{stg}		-55~+150	℃

*パルス幅50ns以下の場合、-3.0V

■DC許容動作範囲 / Ta=0~+70℃

項目	記号	min	typ	max	unit
電源電圧	VCC	4.5	5.0	5.5	V
入力「H」レベル電圧	V _{IH}	2.2		VCC+0.3	V
入力「L」レベル電圧	V _{IL}	-0.3*		0.8	V

*パルス幅50ns以下の場合、-3.0V

■DC電気的特性 / Ta=0~+70℃, VCC=5V±10%

項目	記号	条 件	min	typ*	max	unit
入力リーク電流	I _{LI}	V _{IN} =0~VCC	-1.0		1.0	μA
I/Oリーク電流	I _{LO}	V _{CE1} =V _{IH} or V _{CE2} =V _{IL} or V _{OE} =V _{IH} or V _{WE} =V _{IL} , V _{I/O} =0~VCC	-1.0		1.0	μA
出力「H」レベル電圧	V _{OH}	I _{OH} =-1.0mA	2.4			V
出力「L」レベル電圧	V _{OL}	I _{OL} =2.1mA			0.4	V
動作時電源電流 (DC)	ICCA1	V _{CE1} ≤0.2V, V _{CE2} ≥VCC-0.2V, V _{IN} ≤0.2V or V _{IN} ≥VCC-0.2V, I _{I/O} =0mA		0.02	1	mA
		V _{WE} ≥VCC-0.2V V _{WE} ≤0.2V			15	mA
	ICCA2	V _{CE1} =V _{IL} , V _{CE2} =V _{IH} , I _{I/O} =0mA, V _{IN} =V _{IH} or V _{IL}			15	mA
動作時平均電源電流	ICCA3	V _{CE1} =V _{IL} , V _{CE2} =V _{IH} , I _{I/O} =0mA, min. cycle			60	mA
	ICCA4	V _{CE1} ≤0.2V, V _{CE2} ≥VCC-0.2V, I _{I/O} =0mA, f=1MHz, V _{IN} ≤0.2V or V _{IN} ≥VCC-0.2V			15	mA
スタンバイ時 電源電流	ICCS1	{ V _{CE2} ≤0.2V } or { V _{CE1} ≥VCC-0.2V, (V _{CE2} ≥VCC-0.2V or V _{CE2} ≤0.2V) }		2	100	μA
					1	mA
	ICCS2	V _{CE2} =V _{IL} or V _{CE1} =V _{IH} , V _{IN} =0~VCC			3	mA

* VCC=5V, Ta=+25℃における参考値

■入出力容量 / Ta=+25℃, f=1MHz

項目	記号	条 件	min	typ	max	unit
入出力容量	C _{I/O}	V _{I/O} =0V			10	pF
入力容量	C _{IN}	V _{IN} =0V			5	pF

■AC電気的特性 / Ta=0~+70℃, VCC=5V±10%

ACテスト条件

入力パルス電圧レベル	0.6V, 2.4V
入力立ち上り、立下り時間	5 ns
入力・出力タイミングレベル	入力: 0.8V, 2.2V 出力: 0.8V, 2.2V
出力負荷	1 TTLゲート+CL=100pF (治具容量を含む)

リードサイクル

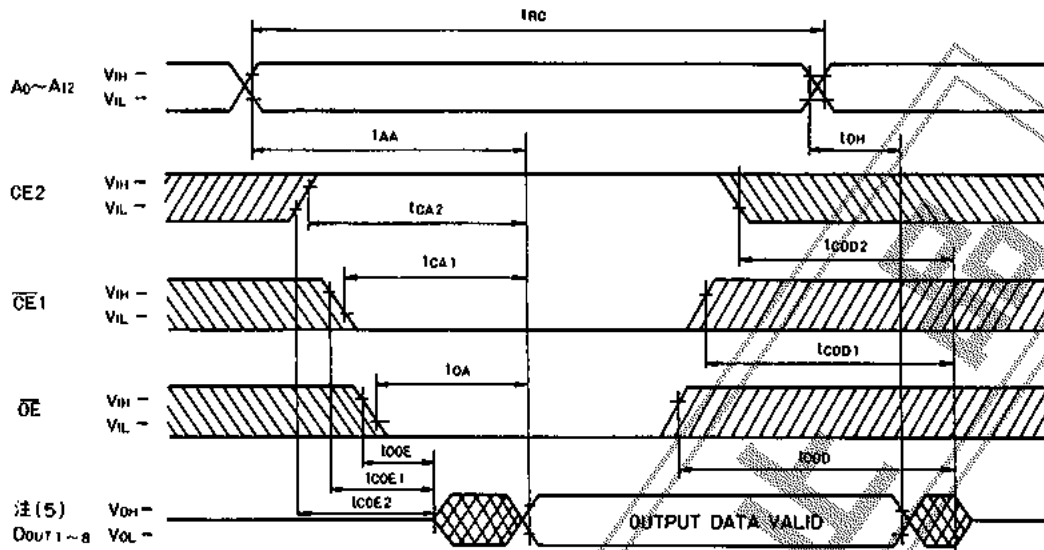
項 目	記 号	LC3664A/AS/AM-85 LC3664AL/ASL/AML-85		LC3664A/AS/AM-10 LC3664AL/ASL/AML-10		LC3664A/AS/AM-12 LC3664AL/ASL/AML-12		unit
		min	max	min	max	min	max	
リードサイクル時間	tRC	85		100		120		ns
アドレスアクセス時間	tAA		85		100		120	ns
$\overline{CE1}$ アクセス時間	tCA1		85		100		120	ns
CE2アクセス時間	tCA2		85		100		120	ns
\overline{OE} アクセス時間	tOA		50		50		60	ns
出力ホールド時間	tOH	5		5		5		ns
$\overline{CE1}$ —出力イネーブル時間	tCOE1	5		5		5		ns
CE2—出力イネーブル時間	tCOE2	5		5		5		ns
\overline{OE} —出力イネーブル時間	tOOE	5		5		5		ns
$\overline{CE1}$ —出力ディスエーブル時間	tCOD1		35		35		40	ns
CE2—出力ディスエーブル時間	tCOD2		35		35		40	ns
\overline{OE} —出力ディスエーブル時間	tOOD		35		35		40	ns

ライトサイクル

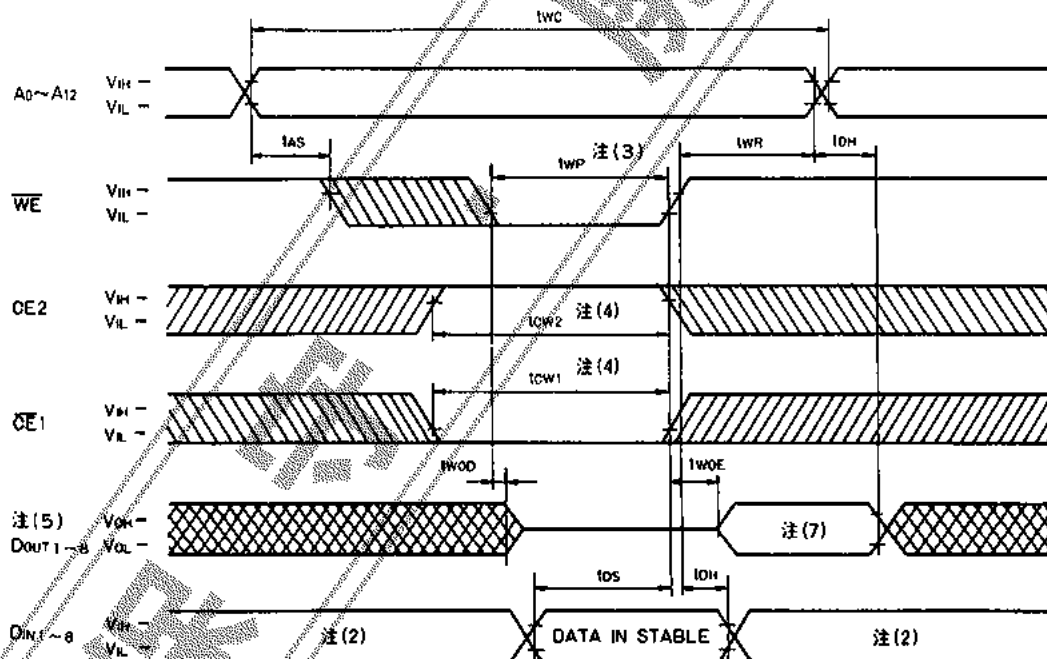
項 目	記 号	LC3664A/AS/AM-85 LC3664AL/ASL/AML-85		LC3664A/AS/AM-10 LC3664AL/ASL/AML-10		LC3664A/AS/AM-12 LC3664AL/ASL/AML-12		unit
		min	max	min	max	min	max	
ライトサイクル時間	tWC	85		100		120		ns
アドレスセットアップ時間	tAS	0		0		0		ns
ライトパルス幅	tWP	55		70		80		ns
$\overline{CE1}$ セットアップ時間	tCW1	60		75		90		ns
CE2セットアップ時間	tCW2	60		75		90		ns
ライトリカバリー時間	tWR	0		0		0		ns
$\overline{CE1}$ ライトリカバリー時間	tWR1	0		0		0		ns
CE2ライトリカバリー時間	tWR2	0		0		0		ns
データセットアップ時間	tDS	40		50		60		ns
データホールド時間	tDH	0		0		0		ns
$\overline{CE1}$ データホールド時間	tDH1	0		0		0		ns
CE2データホールド時間	tDH2	0		0		0		ns
\overline{WE} —出力イネーブル時間	tWOE	5		5		5		ns
\overline{WE} —出力ディスエーブル時間	tWOD		35		35		40	ns

タイミング図

〔リードサイクル〕 注(1)



〔ライトサイクル1〕 (WE書き込み) 注(6)

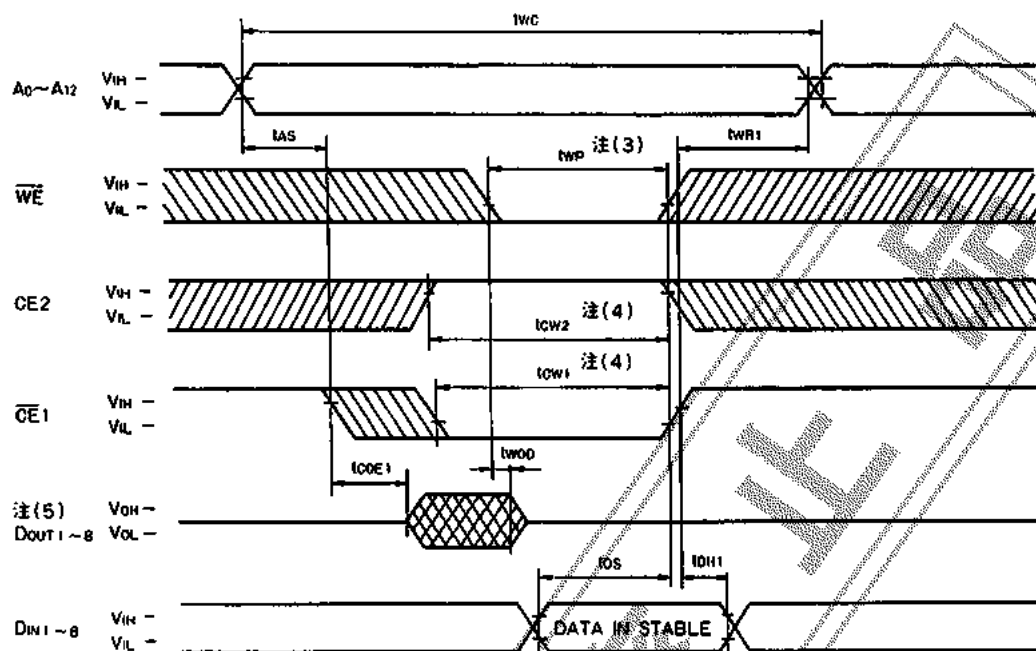


この資料の情報は(回路図および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

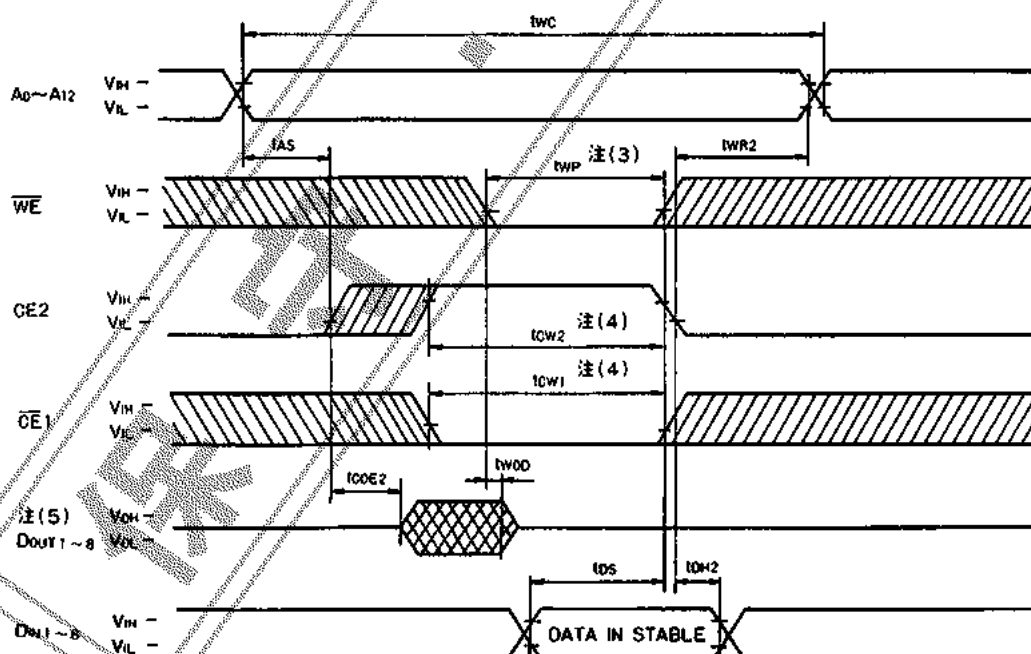
本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.

〔ライトサイクル2〕(CE1書き込み)注(6)



〔ライトサイクル3〕(CE2書き込み)注(6)



注(1)リードサイクル中、 \overline{WE} は高レベルにしておく。

(2)Doutが出力状態にあるとき外部から逆位相の信号を印加してはならない。

(3)twpは $\overline{CE1}$, \overline{WE} が低レベル、CE2が高レベルの期間であり、 \overline{WE} の立ち下がりから、 $\overline{CE1}$, \overline{WE} の立ち上がり、あるいはCE2の立ち下がりのいずれか早い方までの時間で、定義される。

(4)tcw1, tcw2は、 $\overline{CE1}$, \overline{WE} が低レベルCE2が高レベルの期間であり、 $\overline{CE1}$ の立ち下がり、あるいはCE2の立ち上がりから、 $\overline{CE1}$, \overline{WE} の立ち上がりあるいはCE2の立ち下がりのいずれか早い方までの時間で定義される。

(5) \overline{OE} が高レベル、 $\overline{CE1}$ が高レベル、CE2が低レベル、 \overline{WE} が低レベルのいずれの状態でもDoutは高インピーダンス状態になる。

(6)ライトサイクル中、 \overline{OE} が高レベルの場合、Doutは高インピーダンス状態になる。

(7)Doutはこのライトサイクルの書き込みデータと同位相である。

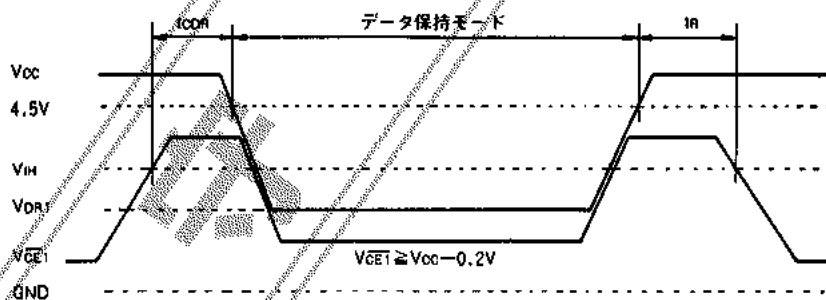
■ データ保持特性/ $T_a = 0 \sim +70^\circ\text{C}$

項 目	記 号	条 件	min	typ*	max	unit
データ保持電源電圧	VDR1	$V_{CE1} \geq V_{CC} - 0.2\text{V}$ $V_{CE2} \geq V_{CC} - 0.2\text{V}$ or $V_{CE2} \leq 0.2\text{V}$	2.0		5.5	V
	VDR2	$V_{CE2} \leq 0.2\text{V}$	2.0		5.5	V
データ保持電源電流	ICCDR1	$V_{CC} = 3.0\text{V}$ $V_{CE1} \geq V_{CC} - 0.2\text{V}$, $V_{CE2} \geq V_{CC} - 0.2\text{V}$ or $V_{CE2} \leq 0.2\text{V}$	LC3664AL/ ASL/AML	1.0	50	μA
					500	μA
	ICCDR2	$V_{CC} = 3.0\text{V}$, $V_{CE2} \leq 0.2\text{V}$	LC3664AL/ ASL/AML	1.0	50	μA
			LC3664A/ AS/AM		500	μA
チップイネーブルセットアップ時間	tCDR		0			ns
チップイネーブルホールド時間	tR		tRC**			ns

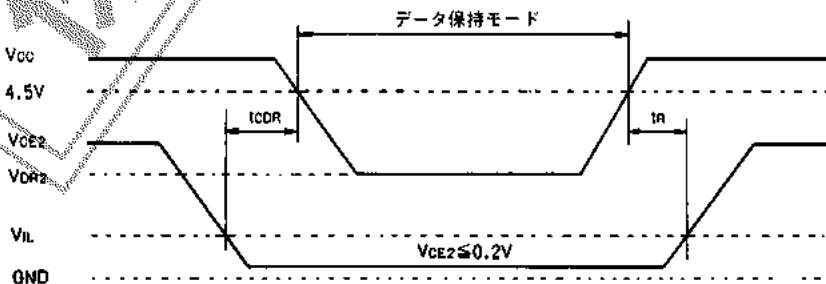
* $T_a = +25^\circ\text{C}$ における参考値

** tRC = リードサイクル時間

データ保持波形(1) ($\overline{CE1}$ コントロール)



データ保持波形(2) ($\overline{CE2}$ コントロール)



This datasheet has been downloaded from:

www.DatasheetCatalog.com

Datasheets for electronic components.